

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

3/Prior. 4/P  
15 Sept 02  
4-19

In re application of: **Hideo NUNOKAWA**

Serial No.: **Not Yet Assigned**

Filed: **February 13, 2002**

For: **SEMICONDUCTOR DEVICE HAVING A CONDENSER CHIP FOR REDUCING A NOISE**

PTO  
U.S.  
10/073316  
02/13/02

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

February 13, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2001-244840, filed August 10, 2001**

In support of this claim, the requisite certified copy of said original foreign applications is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN & HATTORI, LLP

*William L. Brooks*

William L. Brooks  
Reg. No. 32,129

Atty. Docket No.: 020101  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
WLB/ll

PATENT OFFICE  
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: August 10, 2001

Application Number: Japanese Patent Application  
No. 2001-244840

Applicant(s) FUJITSU LIMITED

November 16, 2001

Commissioner,  
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3100283

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JCase U.S. PTO  
10/073316  
02/13/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 8月10日

出 願 番 号

Application Number:

特願2001-244840

出 願 人

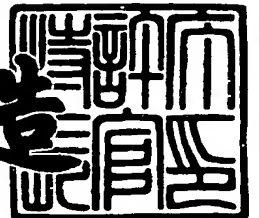
Applicant(s):

富士通株式会社

2001年11月16日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3100283

【書類名】 特許願

【整理番号】 0140297

【提出日】 平成13年 8月10日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 25/00

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 布川 秀男

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100070150

    【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

    【弁理士】

    【氏名又は名称】 伊東 忠彦

    【電話番号】 03-5424-2511

【手数料の表示】

    【予納台帳番号】 002989

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9704678

特 2 0 0 1 - 2 4 4 8 4 0

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 回路ブロックと電源ラインと接地ラインとを有する半導体チップと、前記回路ブロックに接続されるノイズ低減用コンデンサが形成されたコンデンサチップとを有し、

前記コンデンサチップは前記半導体チップに積層されたことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、

前記半導体チップには複数の回路ブロックが形成され、前記コンデンサチップは前記回路ブロックに対応して複数のコンデンサを有することを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置であって、

前記半導体チップには複数の回路ブロックが形成され、前記コンデンサチップは前記回路ブロックに対応して複数個設けられることを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 のうちいずれか一項記載の半導体装置であって、

前記半導体チップは、前記電源ライン又は前記接地ラインから前記回路ブロックへの接続ライン上に設けられた第 1 の電源パッドを有し、

前記コンデンサチップはコンデンサに接続された第 2 の電極パッドを有し、前記コンデンサチップの第 2 の電極パッドはボンディングワイヤにより前記半導体チップの第 1 の電極パッドに電氣的に接続されたことを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 3 のうちいずれか一項記載の半導体装置であって、

前記半導体チップは、前記電源ライン又は前記接地ラインから前記回路ブロックへの接続ライン上に設けられた第 1 の電源パッドを有し、

前記コンデンサチップはコンデンサに接続された第 2 の電極パッドを有し、前記コンデンサチップはフリップチップボンディングにより前記半導体チップの第 1 の電極パッドに接続されたことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 のうちいずれか一項記載の半導体装置であって、

前記コンデンサチップのノイズ低減用コンデンサは、MOS 容量により形成されたことを特徴とする半導体装置。

【請求項 7】 請求項 1 乃至 6 のうちいずれか一項記載の半導体装置であって、

前記半導体チップは、前記回路ブロックに接続された前記第 1 の電極パッド以外の第 3 の電極パッドを有し、

前記コンデンサチップは、コンデンサに接続された前記第 2 の電極パッド以外の第 4 の電極パッドを有し、

前記コンデンサチップの前記第 4 の電極パッドと前記半導体チップの前記第 3 の電極パッドとをボンディングワイヤにより接続することにより、前記電源ラインと前記接地ラインとの少なくとも一方に接続されたインダクタを形成することを特徴とする半導体装置。

【請求項 8】 請求項 7 記載の半導体装置であって、

前記コンデンサチップの前記第 4 の電極パッドは複数個設けられ、且つ前記半導体チップの前記第 3 の電極パッドは複数個設けられ、

前記コンデンサチップの前記第 4 の電極パッドと前記半導体チップの前記第 3 の電源パッドとをボンディングワイヤにより交互に順番に接続することにより前記インダクタを形成することを特徴とする半導体装置。

【請求項 9】 回路ブロックと電源ラインと接地ラインとを有する第 1 の半導体チップと、該第 1 の半導体チップの上に積層して搭載された第 2 の半導体チップとを有する半導体装置であって、

前記第 1 の半導体チップは、前記第 1 の半導体チップ内に形成された回路から分離された電極パッドを有し、

前記第 2 の半導体チップは、前記第 2 の半導体チップ内に形成された回路から分離された電極パッドを有し、

前記第 1 の半導体チップの前記電極パッドと前記第 2 の半導体チップの前記電極とをボンディングワイヤにより接続することにより、前記電源ラインと前記接

地ラインとの少なくとも一方に接続されたインダクタを形成することを特徴とする半導体装置。

【請求項 1 0】 請求項 9 記載の半導体装置であって、

前記第 1 の半導体チップの前記電極パッドは複数個設けられ、且つ前記第 2 の半導体チップの前記電極パッドは複数個設けられ、

前記第 1 の半導体チップの前記電極パッドと前記第 2 の半導体チップの前記電極パッドとをボンディングワイヤにより交互に順番に接続することにより前記インダクタを形成することを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は一般的に半導体装置に係り、特に不要輻射が低減された半導体装置に関する。

【0 0 0 2】

車載用 I C 等の半導体装置は、半導体装置から放射されるノイズである不要輻射が特に問題視されるため、不要輻射を低減する対策が求められている。

【0 0 0 3】

【従来の技術】

I C から放射されるノイズを低減する手法として、従来は I C 内の電源 - G N D (接地) 間にバイパスコンデンサ (パスコン) を挿入していた。パスコンを挿入した構成としては、図 1 に示す構成と図 2 に示す構成とがある。

【0 0 0 4】

図 1 に示す構成では、半導体チップ 1 と基板 2 上のボンディングパッド (電極端子) 3 との間にパスコン 4 が取り付けられている。パスコン 4 は、電源端子 (V c c) に相当するボンディングパッド 3 と接地端子 (V s s) に相当するボンディングパッド 3 との間をバイパスすることによりノイズを除去している。なお、図 1 において、半導体チップ 1 の中央部分に正方形にて示された領域は、半導体チップ 1 に形成された回路ブロックを示しており、図 1 に示す例では 4 つの回路ブロック A, B, C, D が形成されている。パスコン 4 は、例えば実装基板 2

の表面に形成された溝内に挿入されて取り付けられる。なお、図 1 において、半導体チップ 1 の電極パッド 1 a と基板 2 のボンディングパッド 3 とはボンディングワイヤ 5 により接続されている。

#### 【 0 0 0 5 】

一方、図 2 に示す構成では、半導体チップ 1 内にパスコン 6 が形成されている。パスコン 6 は、半導体チップ 1 の製造工程において形成可能な金属酸化膜によるコンデンサ（MOS 容量）である。パスコン 6 は、半導体チップ 1 内に形成された回路に接続される電源ライン（Vcc 配線）8 と接地ライン（Vss 配線）9 との間をバイパスすることによりノイズを除去している。

#### 【 0 0 0 6 】

##### 【発明が解決しようとする課題】

半導体装置から放射される放射ノイズは、パスコンによりバイパスされる回路により形成される電流ループの面積に比例して大きくなる。図 1 に示す従来の構成では、電流ループの面積が比較的大きいため、ノイズ低減効果が低いという問題がある。すなわち、図 1 に示す構成では、パスコン 4 が基板 2 の電源端子と接地端子との間に接続されているため、図中矢印で示すように電流ループは電源端子から接地端子までの間の回路を含むループとなり、電流ループの面積が大きくなる。また、パスコン 4 として単体のコンデンサを基板 2 に取り付けるため、部品点数が増えて製造コストが増大するという問題もある。

#### 【 0 0 0 7 】

図 2 に示す構成では、半導体チップ 1 内にコンデンサを形成してパスコンとしたものであり、電流ループの面積は図 1 に示す構成における電流ループより小さい。ここで、半導体チップ 1 内に形成されるパスコン 6 は、トランジスタ構造を有する MOS 容量として形成されるが、MOS 容量はトランジスタ領域には形成することが出来ない。そこで、パスコン 6 は、半導体チップ 1 内の配線領域や空き領域に配置する必要がある。

#### 【 0 0 0 8 】

したがって、ある程度の大きさの容量を有するパスコンを半導体チップ 1 内に形成する場合、パスコン 6 を形成するための領域を設けなければならず、チップ

サイズが大きくなるという問題がある。また、配線容量増大によるスピード性能の劣化や、歩留まり低下によるコスト増大という問題も発生する。

【 0 0 0 9 】

更に、半導体チップ内にパスコンを形成する場合、どの程度の容量のパスコンをどの回路ブロックに対して設けたら効果的であるかということを設計の段階で正確に知ることがない。すなわち、半導体チップを試作後で、実際にどの回路ブロックからノイズが多く放射されているかを測定したうえで、挿入するパスコンの容量を正確に決定する。このため、パスコンを配置する箇所の変更や容量値の変更等のリメイクが必要となり、結果として半導体装置の開発期間が長くなるという問題がある。

【 0 0 1 0 】

本発明は上記の点に鑑みてなされたものであり、半導体チップの平面サイズを増大することなく放射ノイズを効果的に低減することのできる半導体装置を提供することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【 0 0 1 2 】

請求項 1 記載の発明は、半導体装置であって、

回路ブロックと電源ラインと接地ラインとを有する半導体チップと、前記回路ブロックに接続されるノイズ低減用コンデンサが形成されたコンデンサチップとを有し、前記コンデンサチップは前記半導体チップに積層されたことを特徴とするものである。

【 0 0 1 3 】

請求項 1 記載の発明によれば、半導体チップに別部品としてコンデンサチップを積層するので、半導体チップにノイズ低減用のコンデンサを設ける必要はなく、また、半導体チップが搭載される基板にノイズ低減用のコンデンサを設ける必要もない。したがって、半導体装置の水平面積を増大することなく所望の容量の

コンデンサを半導体チップに接続することができ、半導体チップの回路から放射されるノイズを低減することができる。

【 0 0 1 4 】

請求項 2 記載の発明は、請求項 1 記載の半導体装置であって、

前記半導体チップには複数の回路ブロックが形成され、前記コンデンサチップは前記回路ブロックに対応して複数のコンデンサを有することを特徴とするものである。

【 0 0 1 5 】

請求項 2 記載の発明によれば、コンデンサチップに複数のコンデンサが形成されるため、複数の回路ブロックに対して別個にコンデンサを接続することができる。

【 0 0 1 6 】

請求項 3 記載の発明は、請求項 1 記載の半導体装置であって、

前記半導体チップには複数の回路ブロックが形成され、前記コンデンサチップは前記回路ブロックに対応して複数個設けられることを特徴とするものである。

【 0 0 1 7 】

請求項 3 記載の発明によれば、複数のコンデンサチップを半導体チップに積層して設けるため、複数の回路ブロックに対して別個にコンデンサを接続することができる。

【 0 0 1 8 】

請求項 4 記載の発明は、請求項 1 乃至 3 のうちいずれか一項記載の半導体装置であって、前記半導体チップは、前記電源ライン又は前記接地ラインから前記回路ブロックへの接続ライン上に設けられた第 1 の電源パッドを有し、前記コンデンサチップはコンデンサに接続された第 2 の電極パッドを有し、前記コンデンサチップの第 2 の電極パッドはボンディングワイヤにより前記半導体チップの第 1 の電極パッドに電氣的に接続されたことを特徴とするものである。

【 0 0 1 9 】

請求項 4 記載の発明によれば、既存のワイヤボンディングを用いて容易にコンデンサチップを半導体チップ上に積層して搭載することができる。

## 【 0 0 2 0 】

請求項 5 記載の発明は、請求項 1 乃至 3 のうちいずれか一項記載の半導体装置であって、前記半導体チップは、前記電源ライン又は前記接地ラインから前記回路ブロックへの接続ライン上に設けられた第 1 の電源パッドを有し、前記コンデンサチップはコンデンサに接続された第 2 の電極パッドを有し、前記コンデンサチップはフリップチップボンディングにより前記半導体チップの第 1 の電極パッドに接続されたことを特徴とするものである。

## 【 0 0 2 1 】

請求項 5 記載の発明によれば、既存のフリップチップボンディングにより容易にコンデンサチップを半導体チップに積層して固定することができる。また、半導体装置の垂直方向の厚みの増大を抑制することができる。

## 【 0 0 2 2 】

請求項 6 記載の発明は、請求項 1 乃至 5 のうちいずれか一項記載の半導体装置であって、

前記コンデンサチップのノイズ低減用コンデンサは、MOS 容量により形成されたことを特徴とするものである。

## 【 0 0 2 3 】

請求項 6 記載の発明によれば、既存の半導体製造技術により容易にコンデンサチップを製造することができる。

## 【 0 0 2 4 】

請求項 7 記載の発明は、請求項 1 乃至 6 のうちいずれか一項記載の半導体装置であって、前記半導体チップは、前記回路ブロックに接続された前記第 1 の電極パッド以外の第 3 の電極パッドを有し、前記コンデンサチップは、コンデンサに接続された前記第 2 の電極パッド以外の第 4 の電極パッドを有し、前記コンデンサチップの前記第 4 の電極パッドと前記半導体チップの前記第 3 の電極パッドとをボンディングワイヤにより接続することにより、前記電源ラインと前記接地ラインとの少なくとも一方に接続されたインダクタを形成することを特徴とするものである。

## 【 0 0 2 5 】

請求項 7 記載の発明によれば、電源ラインと接地ラインとの少なくとも一方に接続されたインダクタをボンディングワイヤにより容易に形成することができ、半導体チップの内部で発生したノイズの高周波成分を効果的にカットすることができる。その結果、電源ライン又は接地ラインに流出するノイズを減衰させることができる。

## 【 0 0 2 6 】

請求項 8 記載の発明は、請求項 7 記載の半導体装置であって、前記コンデンサチップの前記第 4 の電極パッドは複数個設けられ、且つ前記半導体チップの前記第 3 の電極パッドは複数個設けられ、前記コンデンサチップの前記第 4 の電極パッドと前記半導体チップの前記第 3 の電源パッドとをボンディングワイヤにより交互に順番に接続することにより前記インダクタを形成することを特徴とするものである。

## 【 0 0 2 7 】

請求項 8 記載の発明によれば、インダクタを形成するためのボンディングワイヤを直列に複数本設けることができるため、インダクタンスを増大することができる、より効果的にノイズを減衰させることができる。

## 【 0 0 2 8 】

請求項 9 記載の発明は、回路ブロックと電源ラインと接地ラインとを有する第 1 の半導体チップと、該第 1 の半導体チップの上に積層して搭載された第 2 の半導体チップとを有する半導体装置であって、

前記第 1 の半導体チップは、前記第 1 の半導体チップ内に形成された回路から分離された電極パッドを有し、前記第 2 の半導体チップは、前記第 2 の半導体チップ内に形成された回路から分離された電極パッドを有し、前記第 1 の半導体チップの前記電極パッドと前記第 2 の半導体チップの前記電極とをボンディングワイヤにより接続することにより、前記電源ラインと前記接地ラインとの少なくとも一方に接続されたインダクタを形成することを特徴とするものである。

## 【 0 0 2 9 】

請求項 9 記載の発明によれば、電源ラインと接地ラインとの少なくとも一方に接続されたインダクタをボンディングワイヤにより容易に形成することができ、

第 1 の半導体チップの内部で発生したノイズの高周波成分を効果的にカットすることができる。その結果、電源ライン又は接地ラインに流出するノイズを減衰させることができる。

#### 【 0 0 3 0 】

請求項 1 0 記載の発明は、請求項 9 記載の半導体装置であって、

前記第 1 の半導体チップの前記電極パッドは複数個設けられ、且つ前記第 2 の半導体チップの前記電極パッドは複数個設けられ、前記第 1 の半導体チップの前記電極パッドと前記第 2 の半導体チップの前記電極パッドとをボンディングワイヤにより交互に順番に接続することにより前記インダクタを形成することを特徴とするものである。

#### 【 0 0 3 1 】

請求項 1 0 記載の発明によれば、インダクタを形成するためのボンディングワイヤを直列に複数本設けることができるため、インダクタンスを増大することができ、より効果的にノイズを減衰させることができる。

#### 【発明の実施の形態】

次に、本発明の実施例について図面と共に説明する。

#### 【 0 0 3 2 】

図 3 は本発明の第 1 実施例による半導体装置の構成を示す図である。図 3 ( a ) は半導体装置に組み込まれた半導体チップの構成を示す平面図であり、図 3 ( b ) は半導体チップの側面図である。なお、図 3 において、図 1 及び図 2 に示す構成部品と同等な部品には同じ符号を付し、その説明は省略する。

#### 【 0 0 3 3 】

本発明の第 1 実施例による半導体装置は、半導体チップ 1 の上にコンデンサチップ 1 0 を積層して設けたものである。コンデンサチップ 1 0 は、パコンとして機能するコンデンサが半導体製造技術を用いて形成されている。コンデンサチップ 1 0 は、半導体チップ 1 に比較して小さなサイズであり、半導体チップ 1 の中央部分に積層することができる。すなわち、コンデンサチップ 1 0 は、半導体チップの周辺部分に配列された電極パッド 1 a の内側の領域に積層することができる。この領域は半導体チップ 1 の回路ブロック A, B, C, D が形成された領

域に相当する。

【 0 0 3 4 】

コンデンサチップ 1 0 には、半導体チップ 1 の回路ブロックの数に応じて必要な数のコンデンサが形成される。図 3 に示す例では、半導体チップ 1 の回路ブロック A と回路ブロック D がパスコンを必要するため、これに対応して 2 つのコンデンサがコンデンサチップ 1 0 に形成されている。

【 0 0 3 5 】

図 3 ( b ) に示すように、コンデンサチップ 1 0 は、その回路形成面 1 0 a を上に向けた状態 ( フェイスアップ ) で、絶縁性接着材等により半導体チップ 1 上に固定される。そして、回路形成面に形成された電極 1 0 b は、半導体チップ 1 の電流路に形成された電極パッド 1 b にボンディングワイヤ 1 2 により接続される。コンデンサチップ 1 0 に接続される電極パッド 1 b は電極パッド 1 a の配列とは異なる位置に形成される。

【 0 0 3 6 】

すなわち、電極パッド 1 b は、電源ライン 8 から回路部ブロック A ( 回路ブロック C ) への接続ライン上と、接地ライン 9 から回路部ブロック A ( 回路ブロック C ) への接続ライン上とに設けられる。電極パッド 1 b の位置は、電流ループの大きさに影響するため、なるべく回路ブロックに近い位置が好ましい。

【 0 0 3 7 】

以上のように積層された半導体チップ 1 とコンデンサチップ 1 0 は、基板 2 上で封止樹脂等により封止され、基板 2 の下面に外部接続用端子が設けられて半導体装置として形成される。

【 0 0 3 8 】

以上のような構成の半導体装置では、パスコンを必要とする回路ブロック A 及び回路ブロック D に対してコンデンサチップ 1 0 に形成されたコンデンサを接続することができる。コンデンサチップ 1 0 に形成されたコンデンサは、パスコンとして機能して、回路ブロック A 及び回路ブロック D からの放射ノイズを低減する。

【 0 0 3 9 】

コンデンサチップ 10 は半導体チップ 10 の中央部分に積層されるため、半導体装置の面積を増大することはない。また、コンデンサチップ 10 は半導体チップとは別個に製造することができるため、コンデンサの容量を自由に設定することができ、各回路ブロックに対して最適な容量のバスコンを接続することができる。

#### 【0040】

さらに、半導体チップ 1 には電極パッド 1 b を設けておくだけでよく、コンデンサチップ 10 の変更により、容易にバスコンの容量を変更することができる。また、コンデンサチップ 1 を標準の容量として予め作製しておき、異なる半導体チップに対して共通に使用することとしてもよい。

#### 【0041】

ここで、コンデンサチップ 10 の構成について説明する。コンデンサチップ 10 は、バスコンとして機能するコンデンサが形成されたチップであり、半導体製造技術により形成される。

#### 【0042】

図 4 はコンデンサチップ 10 に形成されるコンデンサの一例を電気回路として模式的に表した図であり、図 5 は図 4 に示すコンデンサの構造を示す図である。図 4 及び図 5 に示すように、コンデンサチップ 10 に形成されるコンデンサは、トランジスタ構造を有する MOS 容量として構成される。すなわち、P 型シリコン基板上にトランジスタを形成し、そのゲート酸化膜によりコンデンサを構成している。したがって、コンデンサチップ 10 は、従来の半導体製造技術により容易に製造することができる。

#### 【0043】

次に、本発明の第 2 実施例について、図 6 を参照しながら説明する。図 6 は本発明の第 2 実施例による半導体装置の構成を示す図である。図 6 (a) は半導体装置に組み込まれた半導体チップの構成を示す平面図であり、図 6 (b) は半導体チップの側面図である。なお、図 6 において、図 3 に示す構成部品と同等な部品には同じ符号を付し、その説明は省略する。

#### 【0044】

本実施例では、半導体チップ 1 は図 3 に示す半導体チップ 1 と同じ構成であるが、コンデンサチップの構成が異なる。本実施例では、コンデンサチップ 1 0 A は、各回路ブロックに対して個別に設けられている。また、各コンデンサチップ 1 0 A は、回路形成面 1 0 A a を下に向けた状態（フェイスダウン）で、半導体チップ 1 に対しフリップチップ実装されている。

## 【 0 0 4 5 】

すなわち、各コンデンサチップ 1 0 A は、電極パッド 1 0 A b 上にハンダボール等の突起電極 1 4 を有しており、突起電極 1 4 を半導体チップ 1 の電極パッド 1 b に接合する。したがって、本実施例では、コンデンサチップ 1 0 A を半導体チップ 1 に接続するためボンディングワイヤを必要とせず、図 3 に示す半導体装置に比較して、半導体装置の垂直方向の厚みを減少することができる。

## 【 0 0 4 6 】

なお、本実施例では、コンデンサチップ 1 0 A を回路ブロックに対して個別に設けているが、図 3 に示すように複数のコンデンサが形成されたコンデンサチップとして、これを半導体チップ 1 に対してフリップチップ実装してもよい。

## 【 0 0 4 7 】

次に本発明の第 3 実施例について、図 7 及び図 8 を参照しながら説明する。図 7 は本発明の第 3 実施例による半導体装置の構成を示す図である。図 7 ( a ) は半導体装置に組み込まれた半導体チップの構成を示す平面図であり、図 7 ( b ) は半導体チップの側面図である。なお、図 7 において、図 3 に示す構成部品と同等な部品には同じ符号を付し、その説明は省略する。また、図 8 は図 7 に示す半導体チップの回路構成を示す回路図である。

## 【 0 0 4 8 】

本実施例では、図 3 に示すコンデンサチップ 1 0 に代えて、コンデンサチップ 1 0 B を使用する。コンデンサチップ 1 0 B には、コンデンサチップ 1 0 と同様に、複数のコンデンサが形成される。そして、回路形成面 1 0 B a にはコンデンサに接続された電極パッド 1 0 B b が設けられる。ただし、回路形成面 1 0 B a には、電極パッド 1 0 B b のほかに電極パッド 1 0 B c が設けられる。電極パッド 1 0 B c はコンデンサチップ 1 0 B 内の回路には接続されておらず、互いに独

立した電極パッドである。

【0049】

また、本実施例では、図3に示す半導体チップ1に代えて、半導体チップ1Aを使用する。半導体チップ1Aは基本的に半導体チップ1と構造は同じであるが、周囲部分に配列された電極パッド1Aaに加えて電極パッド1Acが設けられている点が異なる。電極パッド1Acのうち、一つは電源ライン8に接続されているが、他の電極パッド1Acは半導体チップ1A内では何にも接続されおらず、互いに独立した電極パッドである。

【0050】

コンデンサチップ10Bは、図3に示す構成と同様に、半導体チップ1Aに積層される。そして、コンデンサに接続された電極パッド10Bbは、半導体チップ1Aの電極1Abにボンディングワイヤ12により接続される。これにより、半導体チップ1Aの回路ブロックに必要なパスコンが接続され、放射ノイズが低減される。

【0051】

コンデンサチップによるパスコンの接続は、図3に示す構成と同様であるが、本実施例では、コンデンサチップ10Bに設けられた電極パッド10Bcと半導体チップ1Aに設けられた電極パッド1Acとがボンディングワイヤ14により接続されている。

【0052】

図7に示す例では、コンデンサチップ10Bに4つの電極パッド10Bcが設けられ、これに対応して半導体チップ1Aに4つの電極パッド1Acが設けられている。半導体チップ1Aの電極パッド1Acは、電源端子(Vcc)としての電極パッド1aに対して整列して配置されている。そして、電源端子(Vcc)としての電極パッド1Aaと、コンデンサチップ10Bに4つの電極パッド10Bcのうち図中一番上側の電極パッド10Bcとがボンディングワイヤ14により接続される。

【0053】

また、一番上側の電極パッド10Bcと、電源端子(Vcc)としての電極パ

ッド1 A aに最も近い電極パッド1 A cとがボンディングワイヤ1 4により接続される。さらに、電源端子（V c c）としての電極パッド1 A aに最も近い電極パッド1 A cと、コンデンサチップ1 0 Bの一番上側の電極パッド1 0 B cの一つ下の電極パッド1 0 B cとがボンディングワイヤ1 4により接続される。

## 【 0 0 5 4 】

以上のような接続方法で、半導体チップ1 Aの4つの電極パッド1 A cとコンデンサチップ1 0 Bの4つ電極パッド1 0 B cとがボンディングワイヤで接続される。ここで、図7の4つの電極パッド1 0 B cの一番下側の電極パッド1 0 B cは、半導体チップ1 A内で電源ライン（V c c配線）8に接続されている。したがって、電源端子（V c c）に相当する電極パッド1 0 A aは、8本のボンディングワイヤ1 4を介して電源ライン8に接続されることとなる。上述の8本のボンディングワイヤ1 4は、電源ラインに接続されたインダクタとして作用し、電源ライン上の高周波成分を減衰させてノイズを低減する。

## 【 0 0 5 5 】

図8は半導体チップ1 A内に形成された回路を示す。電源端子（V c c）は、ボンディングワイヤ1 4よりなるインダクタ1 6を介して電源ライン8に接続される。ボンディングワイヤとして一般的な数十 $\mu$ m幅の金線を用いた場合、そのインダクタンスは、1 mm当たり1 nHである。したがって、1 0 mmのボンディングワイヤでは1 0 nHのインダクタンスしか得られない。

## 【 0 0 5 6 】

しかし、本実施例のように、ボンディングワイヤ1 4を、コンデンサチップ上の電極パッド1 0 B cと半導体チップ1 A上の電極パッド1 A cとの間を何回も往復して設けることにより、大きなインダクタンスを設けることができ、ノイズ低減効果を高めることができる。図7に示す構成では、ボンディングワイヤ4が4往復してから電源ライン8に接続されるため、8倍の大きさのインダクタンスを設けることができる。

## 【 0 0 5 7 】

なお、本実施例では、ボンディングワイヤ1 4により形成されるインダクタンスを電源ライン側に設けたが、接地ライン側に設けることとしてもよく、また、電

源ライン側と接地ライン側の両方に設けることとしてもよい。

【0058】

また、本実施例では、コンデンサチップ10Bに電極パッド10Bcを設けた構成であるが、電極パッド10Bcを設けるチップはコンデンサチップに限るものではなく、コンデンサチップ以外の半導体チップであってもよい。すなわち、インダクタを設けることによるノイズ低減にはパスコンが設けられている必要があるが、必ずしも上述の第1及び第2実施例のようにコンデンサチップを積層してパスコンを設ける構成とする必要はない。例えば、第1の半導体チップ上の第2の半導体チップを積層した構成の半導体チップにおいて、第1の半導体チップと第2の半導体チップとにインダクタ形成用に電極を形成し、ボンディングワイヤで接続することでも、上述の実施例のようにインダクタを形成することができ、ノイズ低減の効果をを得ることができる。

【発明の効果】

上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

【0059】

請求項1記載の発明によれば、半導体チップに別部品としてコンデンサチップを積層するので、半導体チップにノイズ低減用のコンデンサを設ける必要はなく、また、半導体チップが搭載される基板にノイズ低減用のコンデンサを設ける必要もない。したがって、半導体装置の水平面積を増大することなく所望の容量のコンデンサを半導体チップに接続することができ、半導体チップの回路から放射されるノイズを低減することができる。

【0060】

請求項2記載の発明によれば、コンデンサチップに複数のコンデンサが形成されるため、複数の回路ブロックに対して別個にコンデンサを接続することができる。

【0061】

請求項3記載の発明によれば、複数のコンデンサチップを半導体チップに積層して設けるため、複数の回路ブロックに対して別個にコンデンサを接続することができる。

【 0 0 6 2 】

請求項 4 記載の発明によれば、既存のワイヤボンディングを用いて容易にコンデンサチップを半導体チップ上に積層して搭載することができる。

【 0 0 6 3 】

請求項 5 記載の発明によれば、既存のフリップチップボンディングにより容易にコンデンサチップを半導体チップに積層して固定することができる。また、半導体装置の垂直方向の厚みの増大を抑制することができる。

【 0 0 6 4 】

請求項 6 記載の発明によれば、既存の半導体製造技術により容易にコンデンサチップを製造することができる。

【 0 0 6 5 】

請求項 7 記載の発明によれば、電源ラインと接地ラインとの少なくとも一方に接続されたインダクタをボンディングワイヤにより容易に形成することができ、半導体チップの内部で発生したノイズの高周波成分を効果的にカットすることができる。その結果、電源ライン又は接地ラインに流出するノイズを減衰させることができる。

【 0 0 6 6 】

請求項 8 記載の発明によれば、インダクタを形成するためのボンディングワイヤを直列に複数本設けることができるため、インダクタンスを増大することができる。より効果的にノイズを減衰させることができる。

【 0 0 6 7 】

請求項 9 記載の発明によれば、電源ラインと接地ラインとの少なくとも一方に接続されたインダクタをボンディングワイヤにより容易に形成することができ、第 1 の半導体チップの内部で発生したノイズの高周波成分を効果的にカットすることができる。その結果、電源ライン又は接地ラインに流出するノイズを減衰させることができる。

【 0 0 6 8 】

請求項 1 0 記載の発明によれば、インダクタを形成するためのボンディングワイヤを直列に複数本設けることができるため、インダクタンスを増大することが

でき、より効果的にノイズを減衰させることができる。

【図面の簡単な説明】

【図 1】

パソコンが組み込まれた従来の半導体装置の一例の構成を示す平面図である。

【図 2】

パソコンが組み込まれた従来の半導体装置の他の例の構成を示す平面図である。

【図 3】

本発明の第 1 実施例による半導体装置の構成を示す図である。

【図 4】

コンデンサチップに形成されるコンデンサを電気回路として模式的に表した図である。

【図 5】

図 4 に示すコンデンサの構造を示す図である。

【図 6】

本発明の第 2 実施例による半導体装置の構成を示す図である。

【図 7】

本発明の第 3 実施例による半導体装置の構成を示す図である。

【図 8】

図 7 に示す半導体チップの回路構成を示す回路図である。

【符号の説明】

- 1 半導体チップ
- 1 a, 1 b, 1 0 b 電極パッド
- 2 基板
- 3 ボンディングパッド
- 5, 1 2, ボンディングワイヤ
- 8 電源ライン (V c c 配線)
- 9 接地ライン (V s s 配線)
- 1 0 コンデンサチップ

1 0 a 回路形成面

1 4 突起電極

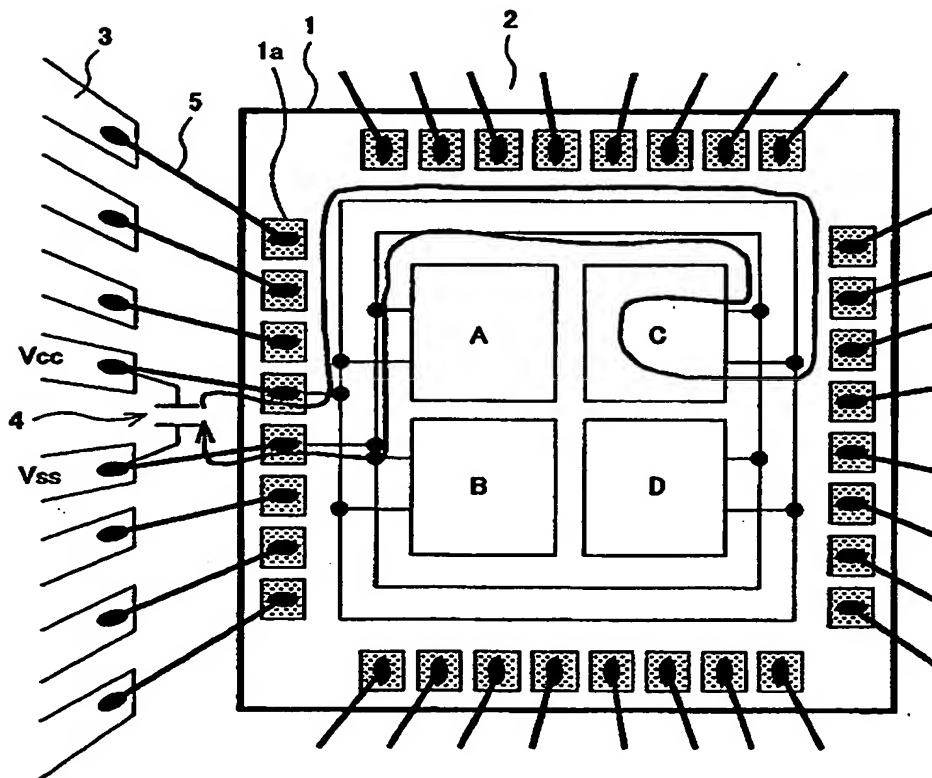
1 6 インダクタ

【書類名】

図面

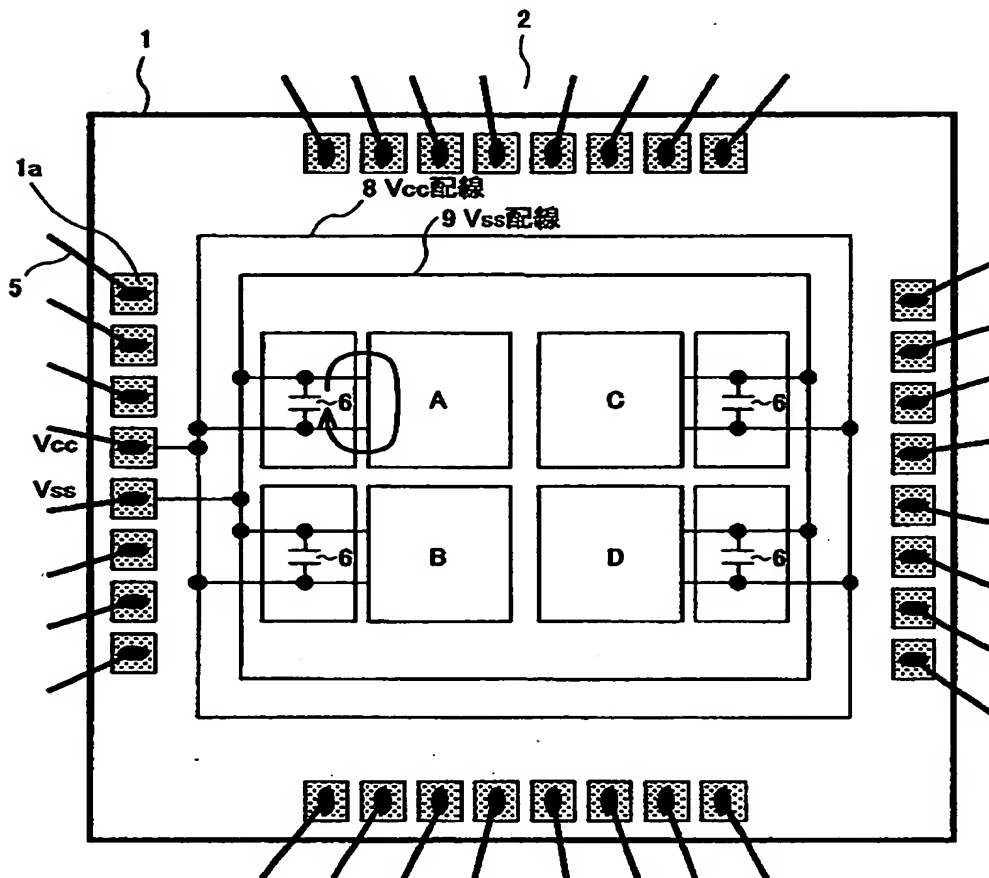
【図 1】

パソコンが組み込まれた従来の半導体装置の  
一例の構成を示す平面図



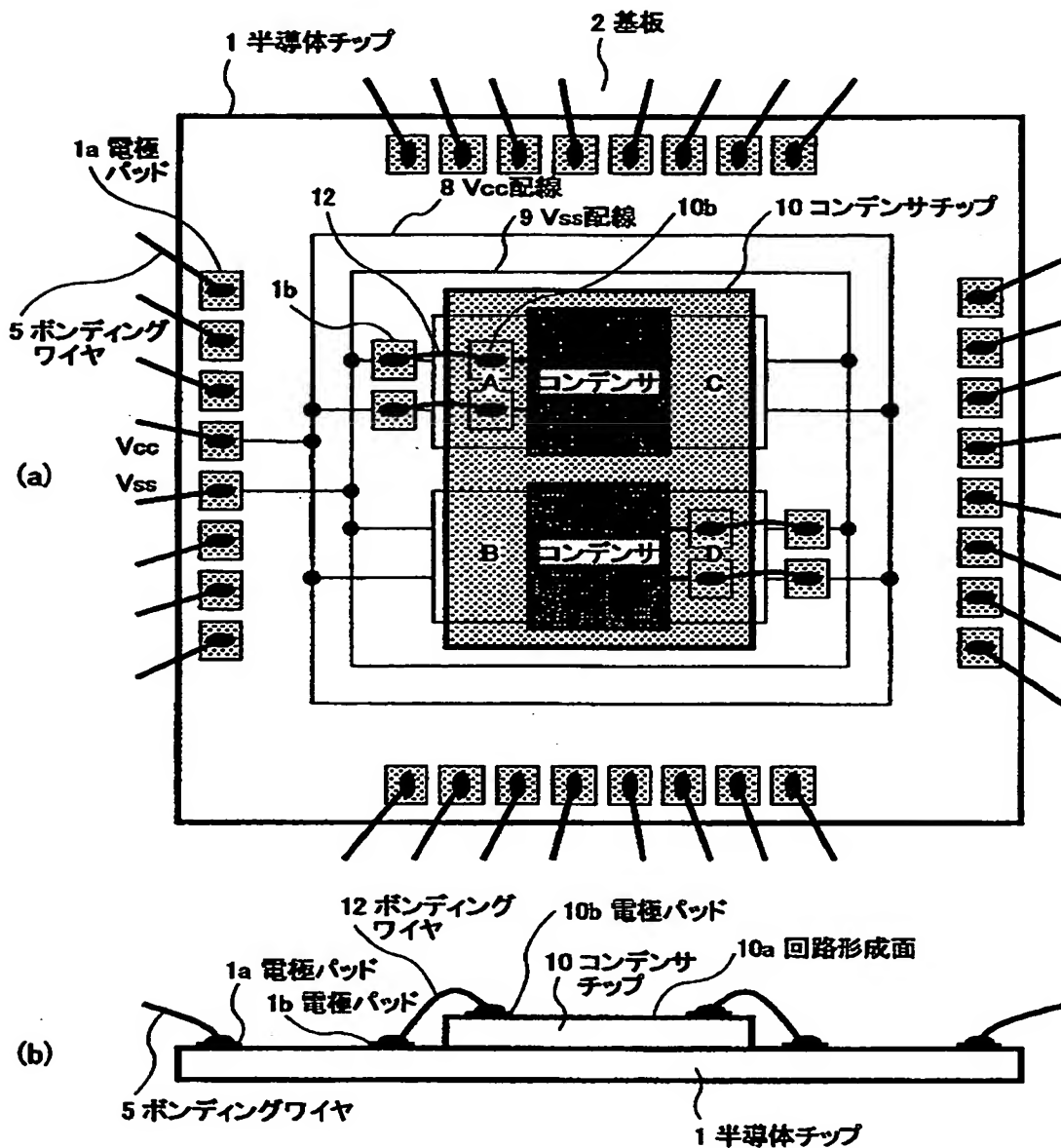
【図 2】

パソコンが組み込まれた従来の半導体装置の  
他の例の構成を示す平面図



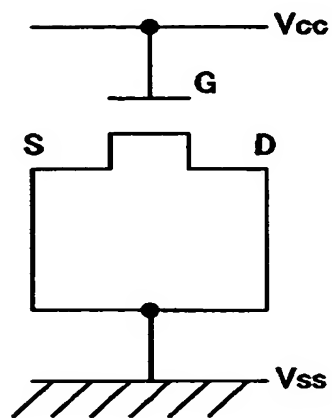
【図 3】

本発明の第 1 実施例による半導体装置の構成を示す図



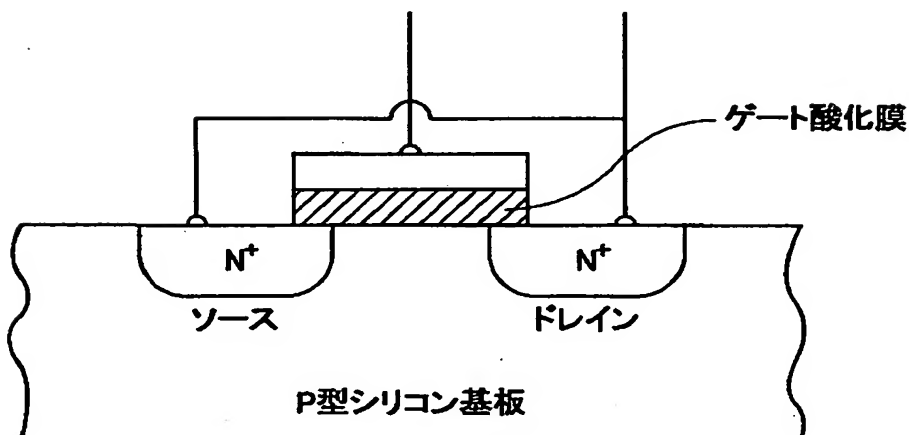
【図4】

コンデンサチップに形成されるコンデンサを  
電気回路として模式的に表した図



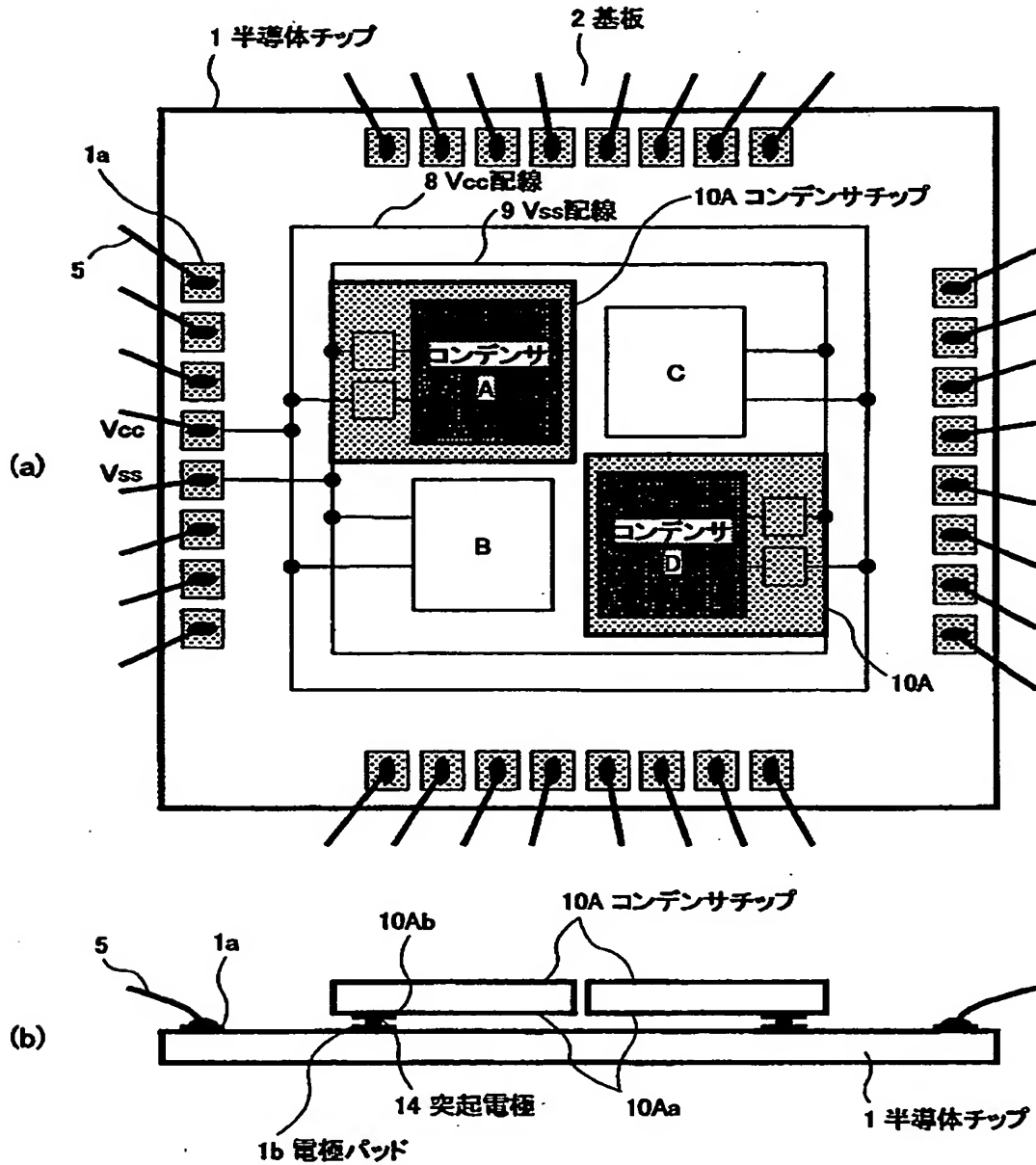
【図5】

図4に示すコンデンサの構造を示す図



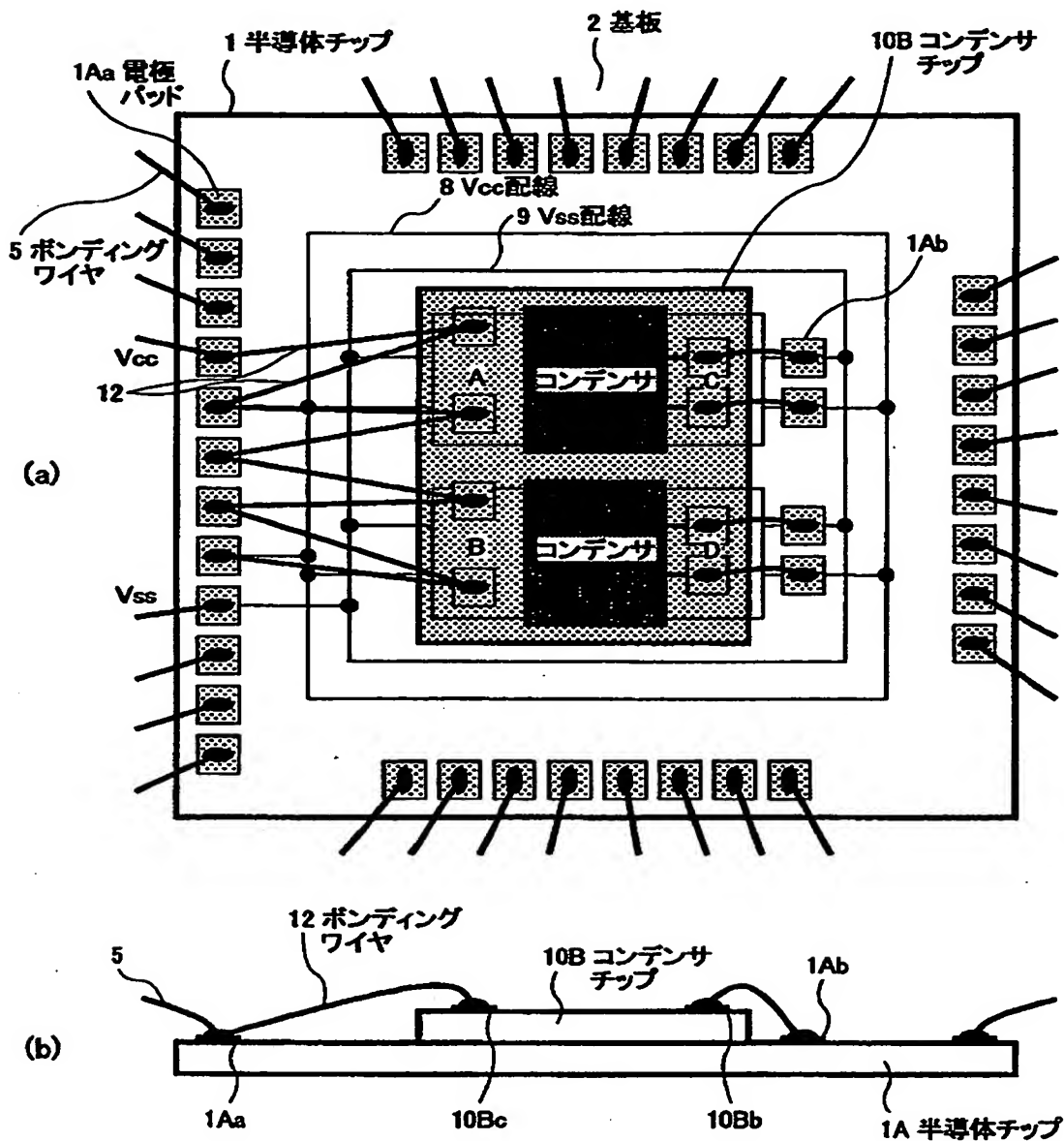
【図 6】

本発明の第2実施例による半導体装置の構成を示す図



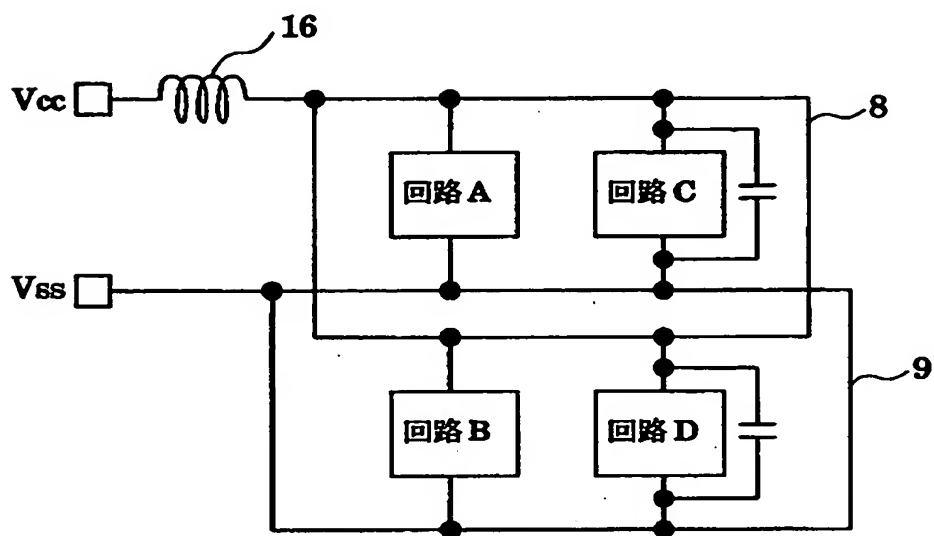
【図7】

本発明の第3実施例による半導体装置の構成を示す図



【図 8】

図 7 に示す半導体チップの回路構成を示す回路図



【書類名】            要約書

【要約】

【課題】    半導体チップの平面サイズを増大することなく放射ノイズを効果的に低減することのできる半導体装置を提供することを課題とする。

【解決手段】    回路ブロックと電源ラインと接地ラインとを有する半導体チップ 1 の上に、回路ブロックに接続されるノイズ低減用コンデンサが形成されたコンデンサチップ 1 0 を積層して搭載する。また、コンデンサチップ 1 0 と半導体チップ 1 との間にボンディングワイヤ 1 2 を往復して設けることにより、電源ライン又は接地ラインに接続したインダクタ 1 6 を形成する。

【選択図】            図 3

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社